

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-341013

(43)Date of publication of application : 24.12.1993

(51)Int.Cl.

G01R 31/28
H01L 21/66
H01L 27/04

(21)Application number : 04-153425

(71)Applicant : TOSHIBA CORP
TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 12.06.1992

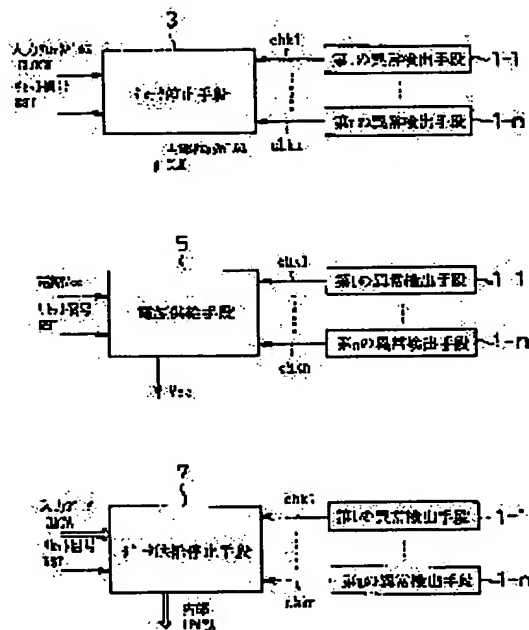
(72)Inventor : OHASHI KAZUHIKO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To provide a semiconductor integrated circuit which is capable of enhancing the circuit evaluation efficiency in its reliability test.

CONSTITUTION: A semiconductor integrated circuit concerned includes at least one failure sensing means 1-1 through 1-n to sense a specified type of failure and a clock stopping means 3 which fixes to H or L the level of a clock pulse CLK supplied to the whole or a part of the integrated circuit on the basis of the sensing result given by the said means and stops the supply. The clock stopping means 3 resumes supply of the clock pulse CLK to the whole or part of the integrated circuit in conformity to a reset signal RST given from inside and outside of the integrated circuit.



LEGAL STATUS

[Date of request for examination]

01.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3230842

[Date of registration]

14.09.2001

[Number of appeal against examiner's decision of

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-341013

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

H 0 1 L 21/66

27/04

H 7352-4M

T 8427-4M

6912-2G

G 0 1 R 31/ 28

R

審査請求 未請求 請求項の数6(全 12 頁)

(21)出願番号

特願平4-153425

(22)出願日

平成4年(1992)6月12日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72)発明者 大橋 一彦

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

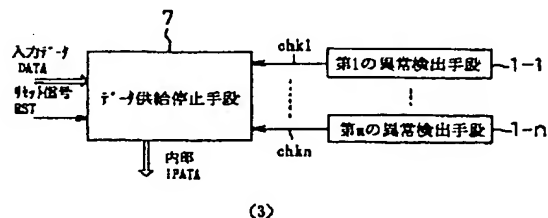
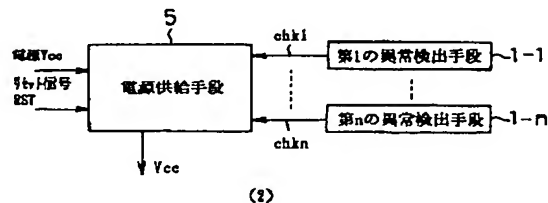
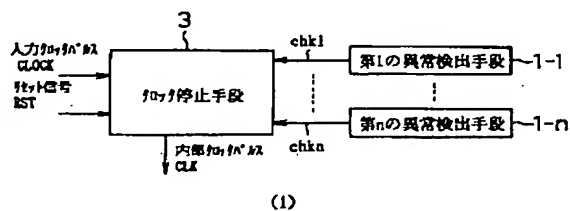
(74)代理人 弁理士 三好 秀和 (外1名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】 半導体集積回路に関し、半導体集積回路の評価において、信頼性テストの評価効率を向上させることの可能な半導体集積回路を提供することを目的とする。

【構成】 所定の異常を検出する少なくとも1つの異常検出手段1-1~1-nと、異常検出手段1-1~1-nの検出結果に基づき当該半導体集積回路の全体或いは一部に供給しているクロックパルスCLKを" H" レベルまたは" L" レベル固定として、供給を停止するクロック停止手段3とを有して構成し、クロック停止手段3は、当該半導体集積回路内外からのリセット信号RSTにより、当該半導体集積回路の全体或いは一部へのクロックパルスCLKの供給を再開する。



1

【特許請求の範囲】

【請求項1】 所定の異常を検出する少なくとも1つの異常検出手段と、
前記異常検出手段の検出結果に基づき当該半導体集積回路の全体或いは一部に供給しているクロックパルスを”H”レベルまたは”L”レベル固定として、供給を停止するクロック停止手段とを有することを特徴とする半導体集積回路。

【請求項2】 前記クロック停止手段は、当該半導体集積回路内外からのリセット信号により、当該半導体集積回路の全体或いは一部へのクロックパルスの供給を再開することを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 所定の異常を検出する少なくとも1つの異常検出手段と、
前記異常検出手段の検出結果に基づき当該半導体集積回路の全体或いは一部への電源供給を停止する電源供給停止手段とを有することを特徴とする半導体集積回路。

【請求項4】 前記電源供給停止手段は、当該半導体集積回路内外からのリセット信号により、当該半導体集積回路の全体或いは一部への電源供給を再開することを特徴とする請求項3に記載の半導体集積回路。

【請求項5】 所定の異常を検出する少なくとも1つの異常検出手段と、
前記異常検出手段の検出結果に基づき当該半導体集積回路の全体或いは一部に供給している入力データを”H”レベルまたは”L”レベル固定として、供給を停止する、若しくは、当該半導体集積回路の全体或いは一部の状態遷移を前記入力データに影響しないようにするデータ供給停止手段とを有することを特徴とする半導体集積回路。

【請求項6】 前記データ供給停止手段は、当該半導体集積回路内外からのリセット信号により、当該半導体集積回路の全体或いは一部への入力データの供給を再開することを特徴とする請求項5に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路に関し、特に信頼性評価等の試験効率を向上させた半導体集積回路に関する。

【0002】

【従来の技術】マイクロプロセッサ、メモリ等の半導体集積回路（以下、LSIと略記する）を製品化する場合、信頼性テストを行なう。この信頼性テストは、更に複数のテストで構成されており、その1つとして寿命テストがある。この寿命テストは、ユーザがLSIを推奨条件で使用したとき、一定期間（通常は、10年程度）正常に動作することを保証するテストである。実際に寿命テストを10年間続けることは困難であるため、電源電圧、動作温度等を推奨条件より厳しいワースト条件

2

（高電圧、高温度）に設定し、LSIの劣化を加速して短期間（通常は、2000時間程度）のテストを行なう。具低的に、寿命テストは高温のオープン内で、高電源電圧を加えてLSIを動作させて行なわれる。

・【0003】図4に、寿命テストに使用する治具構成図を示す。同図において、試験装置は、寿命テストを行なう被験LSI61（以下、単にDUT（Device Under Test）と略す）を挿入するラックと、DUT61に印加するクロックパルスやテストパターンを発生させるパターンジェネレータ53と、DUT61に供給する電源51とから構成されている。尚、図示していないが、DUT61の初期評価、中間（ラップ）評価、最終評価を行なうためのLSIテストが必要である。

【0004】ところで、通常、LSIの故障は、初期故障、偶発的故障、磨耗故障の3種類に分類できる。つまり、一般的に、時間を横軸に取ったときの故障発生率は、図8に示すようなバスタブ状の曲線となるが、時間と共に次第に減少する初期故障期、経時的に一定の故障率パターンに従う偶発的故障期、疲労、磨耗、腐食等による破壊、劣化現象に伴って故障率が上昇する磨耗故障期の3つに時間的に分類され、それぞれの期間に発生する故障として分類されている。

【0005】寿命テストの目的は、図8に示すようなバスタブ状の故障曲線を描くことにより、LSIの寿命を予測する、即ち、初期故障がなくなるまでの時間、並びに磨耗故障が発生するまでの時間を予測することにある。従って、この故障曲線を正確に描こうとすれば、大量のサンプル、複数のラップ測定が必要になる。

【0006】従来の寿命テストの処理手順について、図9に示すフローチャートを用いて説明する。尚、ここでは、合計2000時間の評価を行ない、ラップ測定を168時間、500時間、並びに1000時間経過した時点で行なうものとする。

【0007】先ず初めに、全DUTをLSIテストにて評価し、全てが良品サンプルであることを確認する（ステップS11）。次に、そのサンプルを高温のオープンに入れ、入力にクロックパルス及びテストパターンを印加しながら、高電源電圧で動作させる（ステップS12）。168時間経過した時点で全DUTをオープンから取り出してLSIテストを使用して評価を行なう（ステップS13）。ここで不良品は不良解析を行ない、良品のみ、再び高温のオープン内に入れ、同様に、500時間経過後のラップ評価（ステップS14及びS15）、1000時間経過後のラップ評価（ステップS16及びS17）、並びに2000時間後の最終評価（ステップS18及びS19）を行なう。

【0008】また、従来のLSIには、パリティエラーチェッカーやセルフテスト回路が組み込まれており、LSIを構成する回路毎に正常／異常の判断ができるようになっている。

50

【0009】

【発明が解決しようとする課題】従って、従来の半導体集積回路では、正確なバスタブ状の故障曲線を描くために、大量のサンプルに対して、多くのラップ評価を行わなければならない、評価の効率を低下させてしまうという問題があった。

【0010】また、通常、被験半導体集積回路に供給する電源は1台のみ使用するので、数ある被験半導体集積回路の内、1チップ内で電源とグランドがショートするような故障が発生した場合に、その他の被験半導体集積回路に供給する電源電圧が低下してしまう場合がある。この場合、正常な被験半導体集積回路に対して正規の電源電圧を加えていないので、評価データの信頼性が低下するという問題がある。

【0011】更に、被験半導体集積回路内で故障が発生した場合は、その故障箇所及び故障原因について解析するが、この時、被験半導体集積回路内で1箇所のみの故障であれば、容易に故障箇所及び故障原因の解析を行なうことができるが、故障発生後にもクロックパルス、テストパターン、及び電源を供給していると、それ以外にも故障が発生してしまい、不良解析が困難になってしまうという問題があった。

【0012】本発明は、上記問題点を解決するもので、その目的は、半導体集積回路の評価において、信頼性テストの評価効率を向上させることの可能な半導体集積回路を提供することである。

【0013】

【課題を解決するための手段】前記課題を解決するために、本発明の第1の特徴は、図1(1)に示す如く、所定の異常を検出する少なくとも1つの異常検出手段1-1~1-nと、前記異常検出手段1-1~1-nの検出結果に基づき当該半導体集積回路の全体或いは一部に供給しているクロックパルスCLKを”H”レベルまたは”L”レベル固定として、供給を停止するクロック停止手段3とを具備することである。

【0014】本発明の第2の特徴は、請求項1に記載の半導体集積回路において、前記クロック停止手段3は、当該半導体集積回路内外からのリセット信号RSTにより、当該半導体集積回路の全体或いは一部へのクロックパルスCLKの供給を再開することである。

【0015】また、本発明の第3の特徴は、図1(2)に示す如く、所定の異常を検出する少なくとも1つの異常検出手段1-1~1-nと、前記異常検出手段1-1~1-nの検出結果に基づき当該半導体集積回路の全体或いは一部への電源供給を停止する電源供給停止手段5とを具備することである。

【0016】本発明の第4の特徴は、請求項3に記載の半導体集積回路において、前記電源供給停止手段5は、当該半導体集積回路内外からのリセット信号RSTにより、当該半導体集積回路の全体或いは一部への電源供給

を再開することである。

【0017】更に、本発明の第5の特徴は、図1(3)に示す如く、所定の異常を検出する少なくとも1つの異常検出手段1-1~1-nと、前記異常検出手段1-1~1-nの検出結果に基づき当該半導体集積回路の全体或いは一部に供給している入力データIDATAを”H”レベルまたは”L”レベル固定として、供給を停止する、若しくは、当該半導体集積回路の全体或いは一部の状態遷移を前記入力データIDATAに影響しないようにするデータ供給停止手段7とを具備することである。

【0018】本発明の第6の特徴は、請求項5に記載の半導体集積回路において、前記データ供給停止手段7は、当該半導体集積回路内外からのリセット信号RSTにより、当該半導体集積回路の全体或いは一部への入力データIDATAの供給を再開することである。

【0019】

【作用】本発明の第1及び第2の特徴の半導体集積回路では、図1(1)に示す如く、異常検出手段1-1~1-nにより所定の異常を検出し、異常が検出された場合には、クロック停止手段3により半導体集積回路の全体或いは一部に供給しているクロックパルスCLKを”H”レベルまたは”L”レベル固定として、供給を停止し、また半導体集積回路内外からのリセット信号RSTにより、半導体集積回路の全体或いは一部へのクロックパルスCLKの供給を再開するようにしている。

【0020】これにより、信頼性テストにおいて、例えば消費電流の時間経過を描けば、半導体集積回路が1個故障する毎に全体の消費電流は一定電流だけ減少していくこととなり、初期故障がなくなるまでの時間、並びに磨耗故障が発生するまでの時間を予測することができ、しかも簡単な手順で比較的少量のサンプルによる試験が可能となるため、評価の効率を低下させることなく、結果として、信頼性テストの評価効率を向上させることの可能な半導体集積回路を実現できる。

【0021】また、本発明の第3及び第4の特徴の半導体集積回路では、図1(2)に示す如く、異常検出手段1-1~1-nにより所定の異常を検出し、異常が検出された場合には、電源供給停止手段5により半導体集積回路の全体或いは一部への電源供給を停止する。また、半導体集積回路内外からのリセット信号RSTにより、半導体集積回路の全体或いは一部への電源供給を再開するようにしている。

【0022】従って、第1及び第2の特徴の半導体集積回路と同様の信頼性テストを行なうことにより、同様の効果を得ることができる。また、ある被験半導体集積回路内で電源とグランドがショートするような短絡故障が発生した場合にも、その他の被験半導体集積回路に供給する電源電圧は低下することがないので、評価データの信頼性が低下することがない。

5

【0023】更に、本発明の第5及び第6の特徴の半導体集積回路では、図1(3)に示す如く、異常検出手段1-1~1-nにより所定の異常を検出し、異常が検出された場合には、データ供給停止手段7により半導体集積回路の全体或いは一部に供給している入力データIDATAを”H”レベルまたは”L”レベル固定として、供給を停止する、若しくは、当該半導体集積回路の全体或いは一部の状態遷移を入力データに影響しないようにする。また、半導体集積回路内外からのリセット信号RSTにより、半導体集積回路の全体或いは一部への入力データIDATAの供給を再開するようにしている。

【0024】従って、第1及び第2の特徴の半導体集積回路と同様の信頼性テストを行なうことにより、同様の効果を得ることができる。

【0025】また、本発明の第1~第6の特徴の半導体集積回路では、信頼性テストにおいて、故障発生時点でクロックパルス、電源、またはテストパターンの供給を停止するので、被験半導体集積回路内で故障が発生した場合に行なう故障箇所及び故障原因についての解析を、確実に実施することができる。

【0026】

【実施例】以下、本発明に係る実施例を図面に基づいて説明する。

【0027】図2に本発明の第1の実施例に係る半導体集積回路の回路図を示す。

【0028】同図において、本実施例の半導体集積回路は、異常検出手段として、内部のバス等のパリティチェックを行なうパリティエラーチェッカー1-1と、セルフテストの実行結果を確認するセルフテスト実行結果チェッカー1-2とを備え、クロック停止手段として、パリティエラーチェッカー1-1及びセルフテスト実行結果チェッカー1-2の検出結果chk1及びchk2に基づき当該半導体集積回路の全体或いは一部に供給しているクロックパルスCLKを”H”レベルまたは”L”レベル固定として、供給を停止するクロック停止回路3を備える構成となっている。

【0029】クロック停止回路3は、パリティエラーチェッカー1-1及びセルフテスト実行結果チェッカー1-2の検出結果chk1及びchk2、並びにフリップフロップ13出力の論理和をとる3入力ORゲート11と、ORゲート11出力を外部入力クロックCLOCKに同期して保持し、リセット信号RSTによりクリアされるD型フリップフロップ13と、入力クロックCLOCKとフリップフロップ13出力の論理和をとり内部クロックCLKとして出力する2入力ORゲート15とから構成されている。

【0030】図3は、本実施例の動作を説明するタイミングチャートである。

【0031】第1クロック目のT1サイクルでは、パリ

6

ティエラーチェッカー1-1及びセルフテスト実行結果チェッカー1-2からエラー発生信号がインアクティブであるので、外部入力クロックCLOCKがそのまま内部クロックCLKとして半導体集積回路内に供給される。

【0032】T2サイクルでは、パリティエラーチェッカー1-1でエラーが検出され、パリティエラー信号chk1がアクティブとなっている。T3サイクルでフリップフロップ13の内容が”H”レベルに変化し、これにより入力クロックCLOCKはORゲート15でマスクされて、内部クロックCLKとして、半導体集積回路内には常時”H”レベル固定の信号が供給される。ここで、半導体集積回路の内部回路は、内部クロックCLKが”H”レベル固定である時には動作せず、電流を消費しない構造となっている。

【0033】次に、Tnサイクルで、リセット信号RSTがアクティブにされると、Tn+1サイクルでフリップフロップ13の出力が”L”レベルとなり、外部入力クロックCLOCKがそのまま内部クロックCLKとして半導体集積回路内に供給される。

【0034】次に、このような構成の半導体集積回路の寿命テストを行なう場合、従来と同様に、図4に示すような構成の治具が使用される。

【0035】また、寿命テストの処理手順は、図5のフローチャートに示される。同図に示すように、従来に比べ極端に簡単な手順となっており、ステップS1でLSIテストにより被験半導体集積回路の初期評価を行ない、高温オープン内で2000時間動作させる(ステップS2)だけである。

【0036】本実施例の寿命テストにおいては、図8に示すバスタブ状の故障曲線を描くことは、電流計57で示される消費電流の時間経過を描くことと等価になる

(図6参照)。これは、本実施例の半導体集積回路の消費電流は、動作している時には、常時一定の電流を消費するからである。つまり、図6に示すように、ラック55上の半導体集積回路61が1個故障する毎に、全体の消費電流は一定電流Iだけ減少していくことを利用している。

【0037】従って、図6に示すような動作時間-消費電流の特性曲線を描くことにより、初期故障がなくなるまでの時間、並びに磨耗故障が発生するまでの時間を予測することが可能となる。

【0038】尚、本実施例では、異常検出手段として、パリティエラーチェッカー1-1とセルフテスト実行結果チェッカー1-2を例示したが、これ以外の異常検出手段を有していても構わない。

【0039】次に、図7(1)に本発明の第2の実施例に係る半導体集積回路の構成図を示す。同図は、異常検出手段1-1~1-nの検出結果に基づき半導体集積回路の全体或いは一部への電源供給を停止する電源供給停

10

20

30

40

50

7

止手段5の具体的な回路例を示したものであり、第1の実施例同様、パリティエラーチェッカー1-1及びセルフテスト実行結果チェッカー1-2等の検出結果chk1及びchk2から、エラーが発生している時には、スイッチSWをオフとすることにより半導体集積回路の全体或いは一部への電源供給を停止し、また、リセット信号RSTによりスイッチSWをオンさせて、再び半導体集積回路内への電源供給を再開するものである。

【0040】このような構成により、第1の実施例と同様に、寿命テスト等の信頼性テストを簡単な手順で行なうことができる。また、ある被験半導体集積回路内で電源とグランドがショートするような故障が発生した場合にも、その被験半導体集積回路への電源供給を停止するので、その他の被験半導体集積回路に供給する電源電圧は低下することがなく、評価データの信頼性が低下することがない。

【0041】更に、図7(2)に本発明の第3の実施例に係る半導体集積回路の構成図を示す。同図は、異常検出手段1-1~1-nの検出結果に基づき当該半導体集積回路の全体或いは一部に供給している入力データIDATAを”H”レベルまたは”L”レベル固定として、供給を停止するデータ供給停止手段7の具体的な回路例を示したものであり、第1の実施例同様、パリティエラーチェッカー1-1及びセルフテスト実行結果チェッカー1-2等の検出結果chk1及びchk2から、エラーが発生している時には、半導体集積回路の全体或いは一部へ供給している入力データIDATAを”H”レベル固定として、供給を停止し、また、リセット信号RSTにより、再び半導体集積回路内への入力データIDATAの供給を再開するものである。

【0042】尚、データ供給停止回路7は、半導体集積回路の全体或いは一部のラッチまたはフリップフロップ等に供給しているクロックパルスを、第1の実施例と同様の構成により、異常発生時には”H”レベル固定として、半導体集積回路の全体或いは一部の状態遷移を変化させないように構成することもできる。

【0043】このような構成により、第1の実施例と同様に、寿命テスト等の信頼性テストを簡単な手順で行なうことができる。

【0044】また、第1、第2、及び第3の実施例の半導体集積回路では、信頼性テストにおいて、故障発生時点でクロックパルス、電源、またはテストパターンの供給を停止するので、被験半導体集積回路内で故障が発生した場合に行なう故障箇所及び故障原因についての解析を、確実に実施することができる。

【0045】

【発明の効果】以上のように、本発明の第1及び第2の特徴の半導体集積回路によれば、異常検出手段により所定の異常を検出し、異常が検出された場合には、クロック停止手段により半導体集積回路の全体或いは一部に供

8

給しているクロックパルスを”H”レベルまたは”L”レベル固定として、供給を停止し、また半導体集積回路内外からのリセット信号により、半導体集積回路の全体或いは一部へのクロックパルスの供給を再開することとしたので、信頼性テストにおいて、例えば消費電流の時間経過を描けば、半導体集積回路が1個故障する毎に全体の消費電流は一定電流だけ減少していくこととなり、初期故障がなくなるまでの時間、並びに磨耗故障が発生するまでの時間を予測することができ、しかも簡単な手順で比較的少量のサンプルによる試験が可能となるため、評価の効率を低下させることなく、短絡故障の場合にも評価データの信頼性が低下させることなく、結果として、信頼性テストの評価効率を向上させることの可能な半導体集積回路を提供することができる。

【0046】また、本発明の第3及び第4の特徴の半導体集積回路によれば、異常検出手段により所定の異常を検出し、異常が検出された場合には、電源供給停止手段により半導体集積回路の全体或いは一部への電源供給を停止し、また、半導体集積回路内外からのリセット信号により、半導体集積回路の全体或いは一部への電源供給を再開することとしたので、信頼性テストにおいて、評価効率を向上させることが可能となり、また、ある被験半導体集積回路内で電源とグランドがショートするような故障が発生した場合にも、その他の被験半導体集積回路に供給する電源電圧は低下することなく、評価データの信頼性を向上させ得る半導体集積回路を提供することができる。

【0047】更に、本発明の第5及び第6の特徴の半導体集積回路によれば、異常検出手段により所定の異常を検出し、異常が検出された場合には、データ供給停止手段により半導体集積回路の全体或いは一部に供給している入力データを”H”レベルまたは”L”レベル固定として、供給を停止する、若しくは、当該半導体集積回路の全体或いは一部の状態遷移を入力データに影響しないようにし、また、半導体集積回路内外からのリセット信号により、半導体集積回路の全体或いは一部への入力データの供給を再開することとしたので、信頼性テストにおいて、評価効率を向上させることの可能な半導体集積回路を提供することができる。

【0048】また、本発明の半導体集積回路によれば、信頼性テストにおいて、故障発生時点でクロックパルス、電源、またはテストパターンの供給を停止するので、被験半導体集積回路内で故障が発生した場合に行なう故障箇所及び故障原因についての解析を、確実に実施可能な半導体集積回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の原理説明図であり、図1(1)は請求項1及び2、図1(2)は請求項3及び4、図1(3)は請求項5及び6である。

【図2】本発明の第1の実施例に係る半導体集積回路の

回路図である。

【図3】第1の実施例の半導体集積回路の動作を説明するタイミングチャートである。

【図4】半導体集積回路の寿命テストを行なう場合の治具の構成図である。

【図5】本発明の寿命テストの処理手順を説明するフローチャートである。

【図6】第1実施例の寿命テストにおける動作時間-消費電流の特性曲線である。

【図7】図7(1)は本発明の第2の実施例に係る半導体集積回路の回路図、図7(2)は本発明の第3の実施例に係る半導体集積回路の回路図である。

【図8】従来の半導体集積回路の寿命テストにおける故障曲線である。

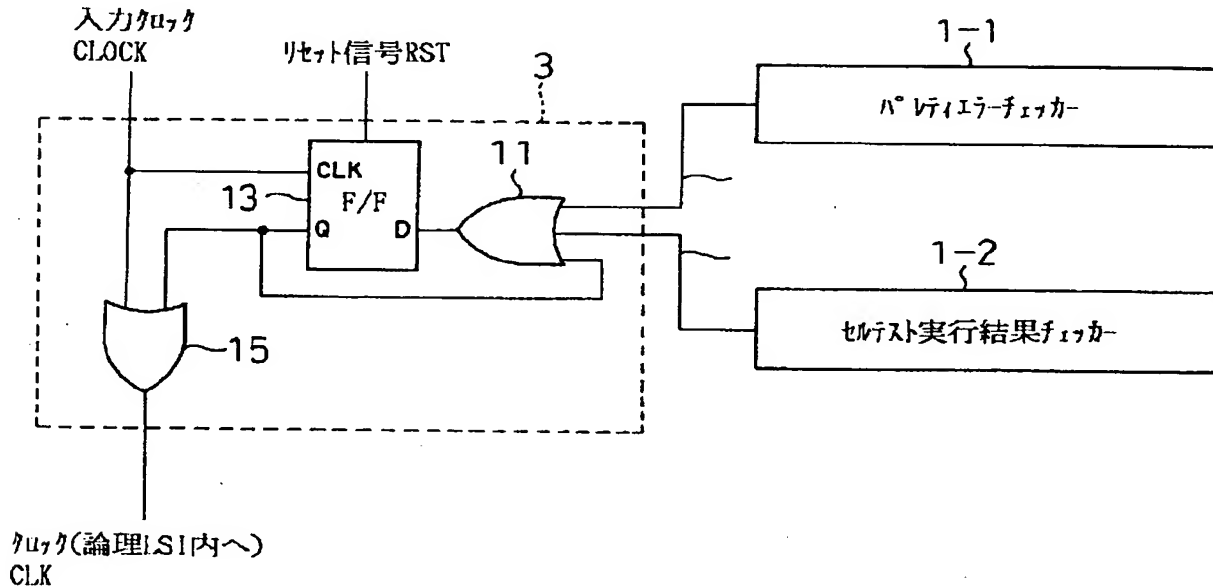
【図9】従来の半導体集積回路の寿命テストの処理手順を説明するフローチャートである。

【符号の説明】

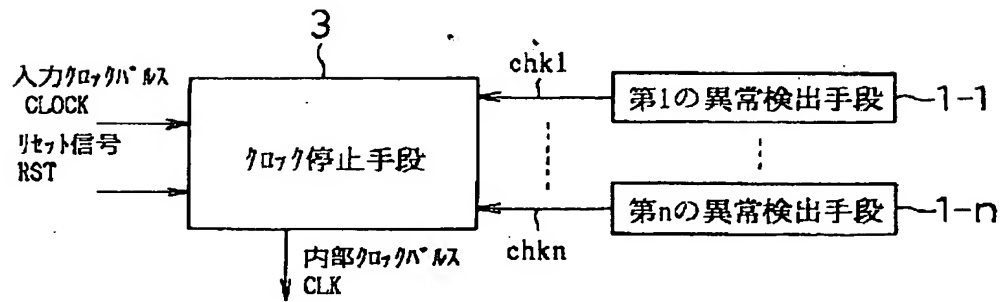
- 1-1~1-n 異常検出手段
- 1-1 パリティエラーチェッカー
- 1-2 セルフテスト実行結果チェッカー
- 3 クロック停止回路(クロック停止手段)
- 5 電源供給停止手段
- 7 データ供給停止手段

- *11, 21, 31 3入力ORゲート
- 13, 23, 33 D型フリップフロップ
- 15, 35-1~35-m-1 2入力ORゲート
- SW スイッチ
- CLOCK 外部入力クロック(パルス)
- CLK 内部クロック(パルス)
- RST リセット信号
- chk1~chkn エラー発生信号(異常検出信号)
- Vcc 電源
- chk1 パリティエラー信号
- chk2 セルフテストエラー信号
- DATA 入力データ
- D0~Dm-1 入力データ
- IDATA 内部データ
- ID0~IDm-1 内部データ
- T1~Tn+1 サイクル
- 51 電源
- 53 パターンジェネレータ
- 55 ラック
- 57 電流計
- 61 被験半導体集積回路(DUT)
- I 被験半導体集積回路1個当たりの消費電流

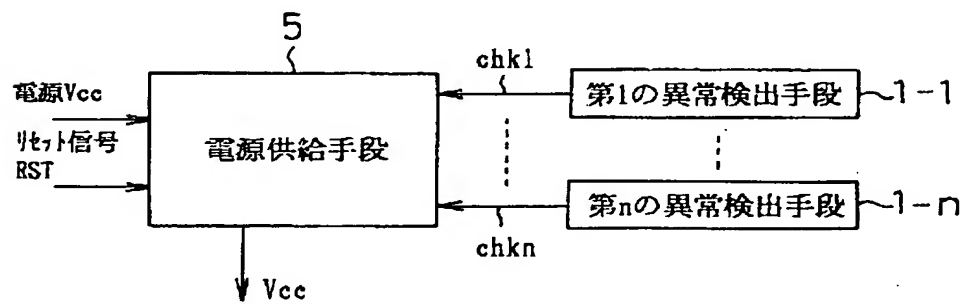
【図2】



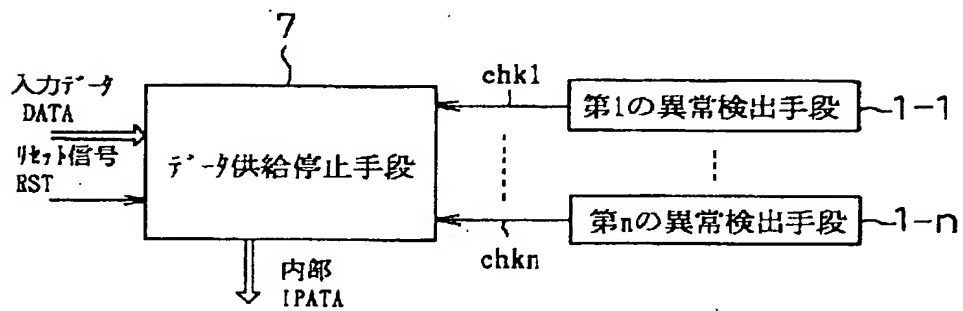
【図1】



(1)

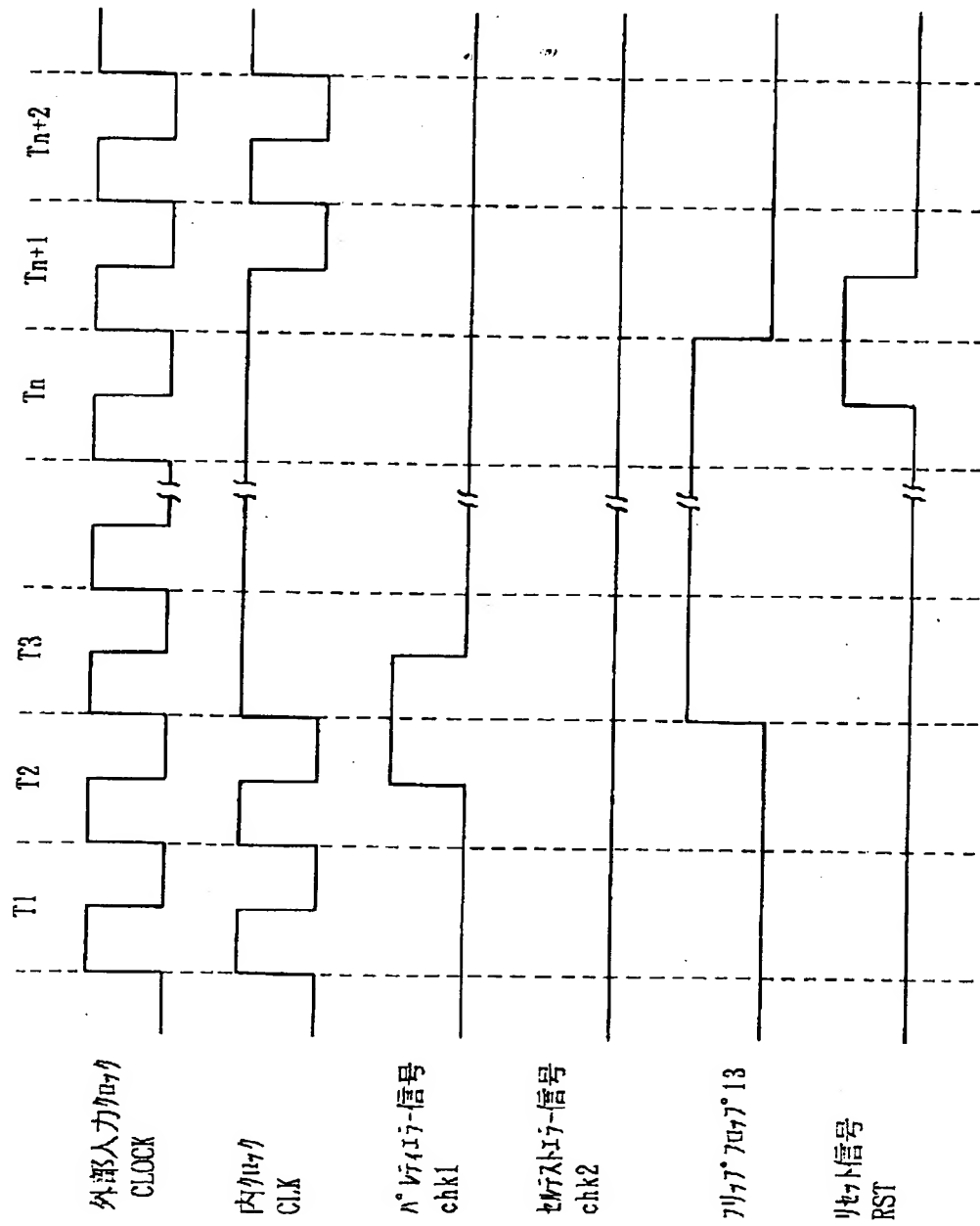


(2)

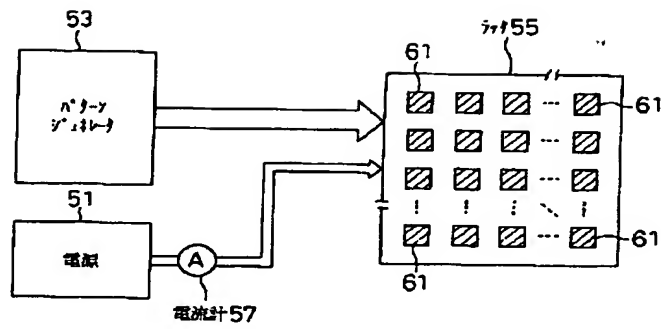


(3)

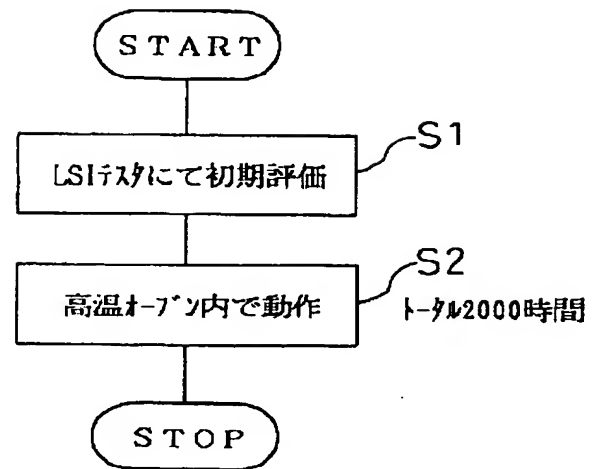
【図3】



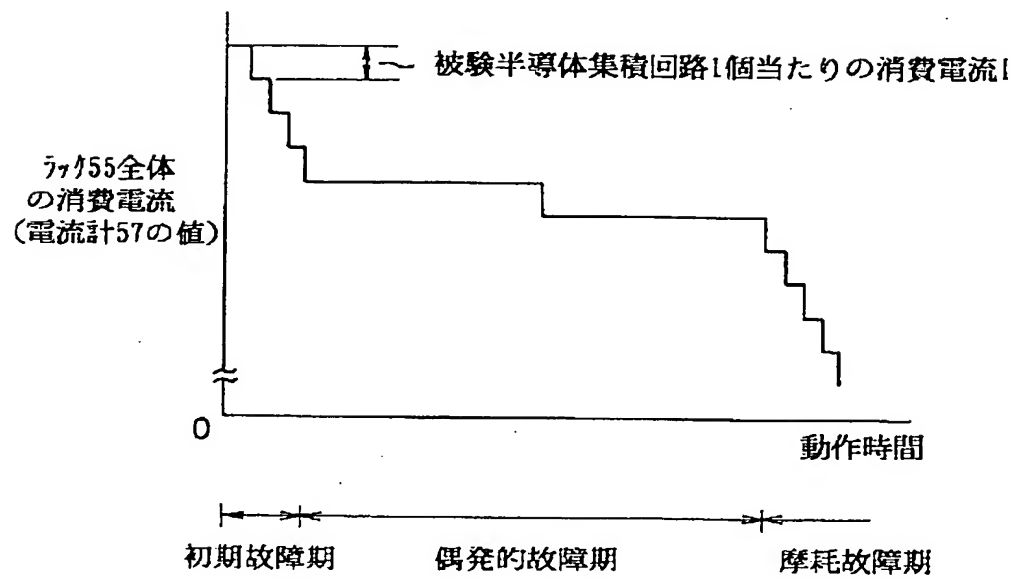
【図 4】



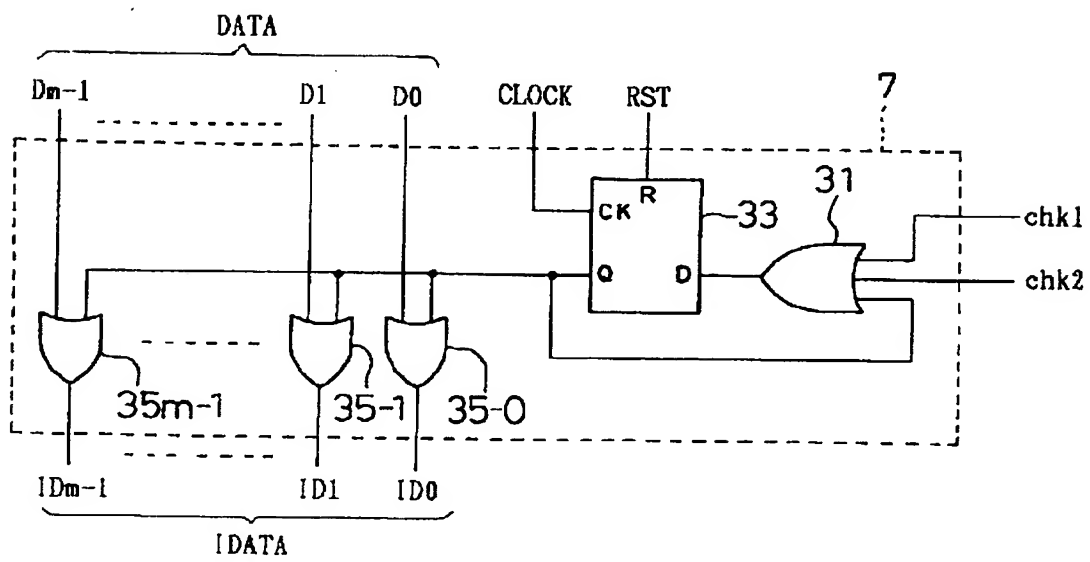
【図 5】



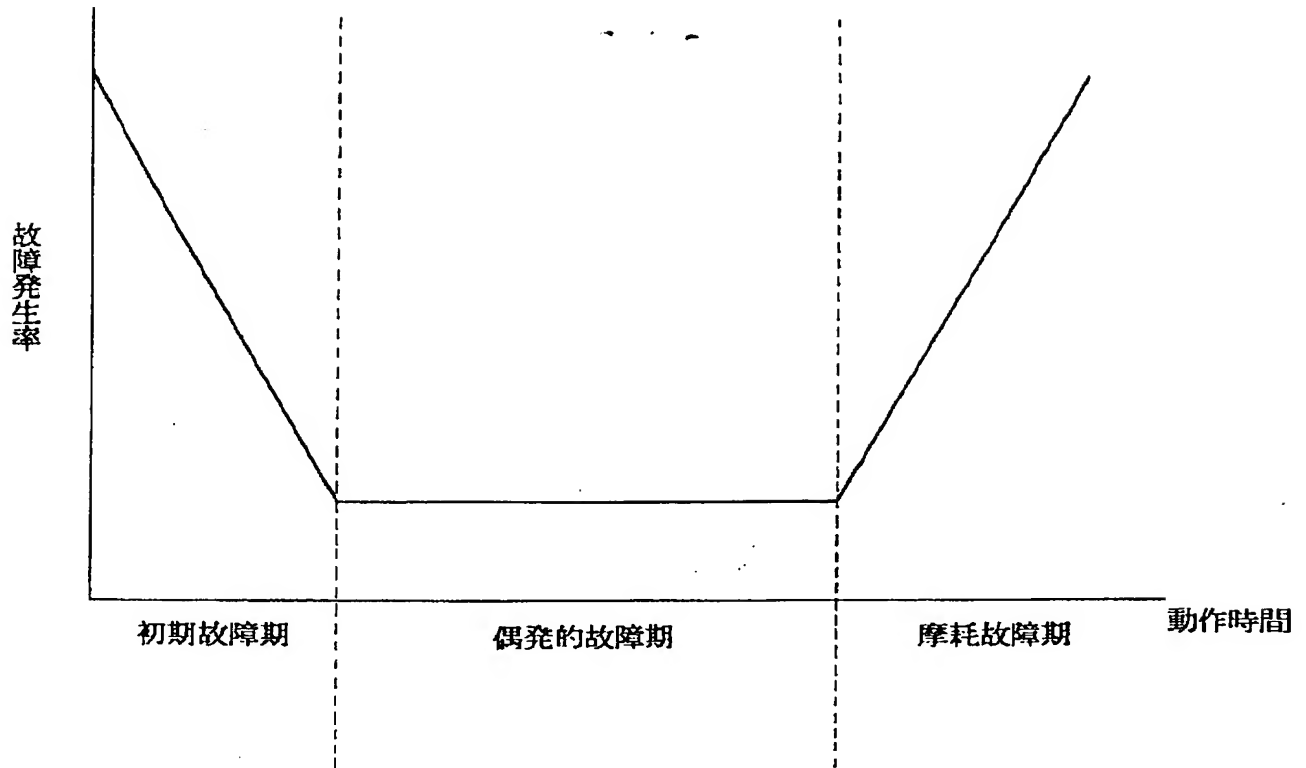
【図 6】



(1)



【図 8】



【図9】

